

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-094240

(43)Date of publication of application : 26.03.1992

(51)Int.Cl.

H04L 12/48

(21)Application number : 02-211363

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 09.08.1990

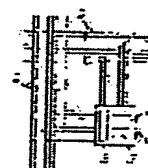
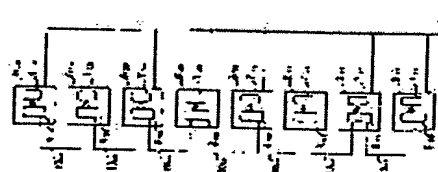
(72)Inventor : YAMANAKA HIDEAKI
OSHIMA KAZUYOSHI

(54) CELL EXCHANGE

(57)Abstract:

PURPOSE: To allow the cell exchange to cope with a change in a call capacity without being noticed of an external part even when the change in a call capacity takes place by storing once an outgoing line of destination information to a buffer memory based on destination information of an inputted cell and allowing an arbitration circuit to arbitrate the cell transmission sequence between buffer memories of a unit switch belonging to the outgoing line.

CONSTITUTION: A destination information recognition circuit 9 of a unit switch 6 connecting to each incoming line group 4 reads destination information of a header part of a cell incoming to an incoming line and is stored in a buffer memory 7 of the unit switch 6 accommodating a relevant outgoing line corresponding to the destination information. An arbitration circuit 818 of a unit switch 618 checks a buffer memory 1718, sends a cell to be sent to an outgoing line 264 unconditionally when the cell to be sent is in existence in the memory and sends a signal representing the absence of a cell to be sent to an arbitration circuit 828 of a unit switch 728 when the cell to be sent is not in existence in the memory to transfer the right of cell transmission to the succeeding unit switch 628. Thus, even when a call is set, the exchange copes with a change in a call capacity.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

訂正有り

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-94240

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月26日

H 04 L 12/48

7830-5K H 04 L 11/20

Z

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 セル交換装置

⑯ 特 願 平2-211363

⑰ 出 願 平2(1990)8月9日

⑱ 発 明 者 山 中 秀 昭 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社通信システム研究所内
⑲ 発 明 者 大 島 一 能 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社通信システム研究所内
⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

セル交換装置

2. 特許請求の範囲

(1) データ部と宛先情報を有するヘッダ部からなるセルが入力される入線を複数本づつまとめた複数の入線グループと、前記入線グループに対応して出線を複数本づつまとめた複数の出線グループと、協働して全入線グループと全出線グループとを接続するように特定の一つの入線グループと特定の一つの出線グループとの間に設けられ、転送セルのバッファメモリへの一時保持と前記ヘッダ部の宛先情報にしたがってリンクの選択を行う単位スイッチと、それぞれの前記出線グループに属する単位スイッチ間でバッファメモリに一時保持されたセルの出線への送出順序の調停を行う調停回路とを備えたことを特徴とするセル交換装置。
(2) 入線からのセルを多重化し出力する複数の集線回路を介して単位スイッチの入力側へ多重されたセルを供給し、単位スイッチの出力側の多重化

されたセルをセルの宛先となる出線別に分離する分離回路を介して出線側へ送出することを特徴とする請求項第1項記載のセル交換装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、音声、データ、画像等のマルチメディアの種々の情報をブロック化したセルを高速で交換するセル交換装置に関するものである。

〔従来の技術〕

セル交換装置を実現するには、単位スイッチを並べて多段構成とする方法があるが、交換装置自体が非閉塞（ノンブロックという）となることが望ましい。ここでいう非閉塞（ノンブロック）とは、出線、入線双方の容量に空きがある時、その間を接続するのに必要なだけの空き容量を持ったパスが少なくとも一本存在することである。

第9図は、例えば、板井他「多段接続ATM通話路のノンブロック条件の検討」（1988年電子情報通信学会春季全国大会講演論文集(B-2)、昭和63年3月）に示されている3段接続のATM通話

路の構成図であり、図において、 $(1_{11}) \sim (1_{1m})$ はセルが入力される k 本 ($k, m \geq 2$) 本の入線、 $(2_{11}) \sim (2_{1m})$ は k 本の出線、 $(3_{11}) \sim (3_{1r})$ は m 入力 r 出力の 1 段目の単位スイッチ、 $(3_{21}) \sim (3_{2k})$ は k 入力 k 出力の 2 段目の単位スイッチ、 $(3_{31}) \sim (3_{3m})$ は k 入力 m 出力の 3 段目の単位スイッチである。これらの単位スイッチ (3) はセルをバッファメモリに一旦保持し、そのセルの宛先情報に基づいて出力端を選択し、その選択した出力端にセルを送出する。1 段目の各単位スイッチのそれぞれの出力は 2 段目の r 個の単位スイッチのそれぞれの入力に接続されている。また、2 段目の各単位スイッチの出力は 3 段目の k 個の単位スイッチのそれぞれの入力に接続されている。

つぎに動作について説明する。1 本の入線には、通常、出線の異なるセルを含むセル列が入ってくる。このセルは宛先情報を含むヘッダ部と画像、データ等のデータ部から成り固定長の伝送情報の単位である。セルの宛先情報は単位スイッチの入

2_1) でも同様に第 1 段目の単位スイッチ (3_{11}) から入力されるセルのヘッダ部の情報にしたがって 3 段目単位スイッチ (3_{31}) への出力端を選択し、出力する。3 段目単位スイッチ (3_{31}) ではセルの宛先情報に基づいて出線 (2_{1m}) を選択し、バッファメモリから出線 (2_{1m}) へセルを送出する。

単位スイッチ $(3_{11}) \sim (3_{21})$ 間、および単位スイッチ $(3_{21}) \sim (3_{31})$ 間のリンクは他の入線からのセル転送にも使用されるので、入線 (1_{11}) と出線 (2_{1m}) に空容量があってもセルを転送できない場合が生じる。例えば、入線 (1_{11}) から出線 (2_{1m}) へ速度 u の呼を新たに接続する場合を考えると、この時、入線 (1_{11}) から出線 (2_{1m}) へのルーティングは r 通りあるが、すでに設定されている呼がいくつかのリンクを占有していることがある。

第 10 図は、この状態を示したチャネルグラフであり、入/出線速度を v 、入/出線速度に対するリンク速度の比を n 、微小量を δ とすると、入

線に入る以前にバーチャルチャネル識別子変換部 (図示していない) で予めルーティング (1 段目単位スイッチから 3 段目の単位スイッチ間のどのパスを通るか) を決められ、ヘッダ部に書き込まれる。セルの転送されるルートは r 通りあるが、すでに設定されている呼がいくつかのリンクを占有している。

いま、単位スイッチ (3_{11}) の入線 (1_{11}) 上のセル列に着目して説明をする。このセル列の中に線 (2_{1m}) 宛のセルがあり、バーチャルチャネル識別子変換部でそれらのセルは 2 段目単位スイッチ (3_{21}) を通って 3 段目単位スイッチ (3_{31}) へのルーティングが決定されると、その情報がセルのヘッダ部に書き込まれる。

入線 (1_{11}) に到達したセルは単位スイッチ (3_{11}) でそのヘッダ部の宛先情報を読み、その宛先情報に基づいて単位スイッチ (3_{11}) 内のバッファメモリに一旦保持された後、単位スイッチ (3_{11}) の決められた単位スイッチ (3_{21}) への出力端に送出さる。第 2 段目の単位スイッチ (3

線 (1_{11}) と出線 (2_{1m}) には速度 u の呼を通せるだけの空容量があり、他のリンクはすべて使用されているとする。この時に速度 u の呼を入線 (1_{11}) と出線 (2_{1m}) 間に呼を設定できるためには、単位スイッチ $(3_{11}) \sim (3_{21}) \sim (3_{31})$ 間のリンクに速度 u の呼を通せる空容量があることが必要となる。したがって、速度 u にはわずかに足りない $u - \delta$ の空容量しかないリンクには速度 u の新たな呼は設定できない。図では、単位スイッチ (3_{21}) を経由するリンクに速度 u の呼を通せる空容量があり、他のリンクは速度 u を通すにはわずかに足りない容量 $u - \delta$ を示している。

どのリンクにも速度 u の呼を通せる空容量がないときには一旦呼を切断して呼を設定し直すことが必要となる。

このため、ブロックを起こさないセル交換装置の方式がいろいろ検討されている。

[発明が解決しようとする課題]

従来のセル交換装置は以上のように構成されているので、呼を設定または解除する際には非閉塞

であるが、ひとつの呼の容量が途中で増加した時には段間リンクにおいて容量が越える可能性があり、また、それを防ぐためには呼の容量変化の時は外部より変化した呼の内容の通知を受け呼をいったん解放し、容量のあるバスを設定し直す必要があるなどの問題点があった。

この発明は上記のような問題点を解決するためになされたもので、呼の容量変化が発生しても外部から変化した内容の通知を受けることなく対応できるとともに、容量変化した呼をいったん解放して設定し直す必要がないセル交換装置を得ることを目的とする。

【課題を解決するための手段】

第1の発明は、データ部と宛先情報を有するヘッダ部からなるセルが入力される入線を複数本づつまとめた複数の入線グループと、前記入線グループに対応して出線を複数本づつまとめた複数の出線グループと、協働して全入線グループと全出線グループとを接続するように特定のひとつの入線グループと特定のひとつの出線グループとの間に設け

る単位スイッチはこの高速入線上のセルの宛先情報に基づいて、その宛先情報の出線を収容するときバッファメモリに一旦保持し、調停回路がその出線に属する単位スイッチのバッファメモリ間のセル送出順序の調停を行って高速出線に送出する。分離回路は高速出線上のセルを出線ごとに分離して送出する。

【発明の実施例】

以下本発明の一実施例のセル交換装置について図面を参照しながら説明する。

第1図は本発明の第1の実施例におけるセル交換装置の構成を示す図である。第1図において、(1₀₁)～(1₀₄)等(1)は入線、(2₀₁)～(2₀₄)等(2)は出線、(6₁₁)～(6_{1n})、(6₂₁)～(6_{2n})、…(6_{n1})～(6_{nn})等(6)は単位スイッチ、(4₁)～(4_n)等(4)は64本の入線(1₀₁)～(1₀₄)を8本づつグループとした入線グループ、(5₁)～(5_n)等(5)は64本の出線(2₀₁)～(2₀₄)を8本づつグループとした出線グループであ

られ、転送セルのバッファメモリへの一時保持と前記ヘッダ部の宛先情報にしたがってリンクの選択を行う単位スイッチと、それぞれの前記出線グループに属する単位スイッチ間でバッファメモリに一時保持されたセルの出線への送出順序の調停を行う調停回路とを備えたセル交換装置である。

第2の発明は、入線からのセルを多重化し単位スイッチの入力側へ出力する複数の集線回路と、単位スイッチの出力側の多重化されたセルをセルの宛先となる出線別に分離し出線側へ送出する分離回路とを備えたセル交換装置である。

【作用】

第1の発明のセル交換装置は、入線グループに接続された単位スイッチが入力されるセルの宛先情報に基づいて、その宛先情報の出線を収容するときバッファメモリに一旦保持し、調停回路がその出線に属する単位スイッチのバッファメモリ間のセル送出順序の調停を行う。

第2の発明のセル交換装置は、集線回路が入線からのセルを多重化して高速入線に出力し、単位スイ

ッチは、第2図は、第1図における単位スイッチ(6)と入線(1)と出線(2)との接続の状態を示す図であり、入線グループ(4₁)のそれぞれの入線は単位スイッチ(6₁₁)の入力に接続される。また、単位スイッチ(6₁₁)の出力はそれぞれ出線グループ(5₁)のそれぞれの出線に接続される。(7₁₁)はバッファメモリ、(8₁₁)はバッファメモリ(7₁₁)のセルの出線への送出に際して他の単位スイッチ(6)との間で調整する調停回路、(9₁₁)は入線(1)からのセルの宛先情報を調べ取り込む宛先情報認識回路である。

次に動作について説明する。入線(1₀₁)～(1₀₄)に到来するセルはそれぞれの入線グループに接続されている単位スイッチ(6)の宛先情報認識回路(9)でヘッダ部の宛先情報を読み取られ、宛先情報に該当する出線を収容する単位スイッチ(7)はそのセルを取り込みバッファに一時保持をする。宛先情報に該当する出線を収容しない場合はそのセルを廃棄する。

ここで、第3図に基づいて、バッファメモリ

特開平4-94240 (4)

(7) に保持された出線 (2..) 宛のセルの送出動作について詳細に説明する (図では入線 (1) と宛先情報認識回路 (9) は省略してある)。

出線 (2..) 宛のセルは単位スイッチ (6_{1n})、(6_{2n})、(6_{3n})、(6_{4n})、(6_{5n})、(6_{6n}) および (6_{7n}) で取り込まれそれぞれの単位スイッチのバッファメモリ (7) に保持される。上記以外の単位スイッチでは出線 (2..) 宛のセルは廃棄される。

第3図は、バッファに蓄えられているセルの出線 (2..) への送出順序を固定にした場合である。いま、出線 (2..) における1セルの伝送時間を1タイムスロットとすると、ある1タイムスロットでセルを送出できるのは一つの単位スイッチに限られる。単位スイッチのセル送出の優先順位が (6_{1n})、(6_{2n})、(6_{3n})、(6_{4n})、(6_{5n})、(6_{6n})、(6_{7n})、(6_{8n}) とする。単位スイッチ (6_{1n}) の調停回路 (8_{1n}) はバッファメモリ (7_{1n}) を見て送出するセルがあれば出線 (2..) に無条件に送出し、バッファメモリ

(7_{1n}) に送出すべきセルがなければ、調停回路 (8_{1n}) は送出するセルがないことを示す信号を単位スイッチ (7_{2n}) の調停回路 (9_{2n}) に信号線 (10..) を介して送り、セル送出の権利を次の単位スイッチ (6_{2n}) に移す。この信号を受信した調停回路 (9_{2n}) はバッファメモリ (7_{2n}) を見て送出するセルがあれば出線 (2..) に送出し、セルがなければ、送出するセルがないことを示す信号を単位スイッチ (7_{3n}) の調停回路 (9_{3n}) に信号線 (10..) を介して送る。そして、同様に単位スイッチ (6_{3n}) のバッファメモリ (7_{3n}) に送出するセルがあれば出線 (2..) に送出し、セルがなければ単位スイッチ (7_{4n}) にセル送出の権利を移す。このようにセル送出の権利を順次移していく。送出すべきセルがないという信号は信号線 (10) を介して送るようにしたが、ある特定のパターンを出線 (2..) に送出してもよい。

第4図は、第1の発明の他の実施例を示す図で、セルの送出優先順位決定をポーリング方式により

行う例を示している。ここでは、単位スイッチ (6_{1n}) を親局として出線 (2..) に対応して設けられたそれぞれの単位スイッチの調停回路 (8_{1n})、(8_{2n})、(8_{3n})、(8_{4n})、(8_{5n})、(8_{6n})、(8_{7n})、(8_{8n}) 間でトークンを巡回させてそれぞれの単位スイッチのバッファメモリ (7) のセルの送出の優先順位決定の動作を説明する。各調停回路はトークンを巡回させるための信号線 (10..) でループ状に接続されている。親局の単位スイッチ (6_{1n}) は信号線 (10..) にトークンを巡回させ、トークンの紛失および重複を監視する。そして、あるタイムスロットに送出するセルをバッファメモリに保留している単位スイッチ、たとえば、単位スイッチ (6_{3n}) とすると、その調停回路 (8_{3n}) はトークンを捕捉し、バッファメモリ (7_{3n}) のセルを出線 (2..) に送出してから捕捉したトークンを解放する。そして、単位スイッチ (6_{4n}) が送出すべきセルをそのバッファメモリ (6_{4n}) に保留していれば、単位スイッチ (6_{5n}) が解放したトークンが途中で

捕捉されないで到着すれば、トークンを捕捉して保留しているセルを出線 (2..) に送出してから捕捉したトークンを解放する。

第5図は、第2の発明の実施例のセル交換装置を示す図である。図において、(12₁) ~ (12₄) 等 (12) は入線グループ (4₁) ~ (4₄) に入力されるセルを入線グループ毎に多重化し高速入線 (13₁) ~ (13₄) に出力する集線回路、(11₁₁)、(11₁₂)、(11₂₁)、(11₂₂) は単位スイッチ、(15₁) ~ (15₄) は高速出線グループ (14₁) ~ (14₄) 上の多重化されたセルをそれぞれの高速出線グループに収容される出線毎に分離し速度を落として出力する分離回路である。

この実施例では、第6図に示すように集線回路 (12) は4本の入線を集線しセル多重を行い、また、分離回路 (15) は4本の出線を収容する場合を示している。

つぎに動作について説明する。

簡単のため、入線グループ (1₁) に入ってくる

るセルを例にして説明する。入線グループ(1₁)の4本の入線(1₀₁)、(1₀₂)、(1₀₃)、(1₀₄)に入ってくるセルは集線回路(1₂₁)で集線されて入線の速度より高速(この実施例では4倍とする。)で多重化され、高速入線(1₃₁)に送出される。この高速入線上のセルは、第1の発明の実施例の動作と同様に単位スイッチ(1₁₁₁)、(1₁₁₂)により単位スイッチが収容する出線宛のセルをそのバッファメモリに一旦保持する。

つぎに、出線(2₁₁)～(2₄₄)宛のセルが単位スイッチ(1₁₁₂)および(1₁₂₂)に保持されていて、その送出について第7図をもとに説明する。図では高速入線と宛先情報識別回路は省略してある。単位スイッチ(1₁₁₂)と(1₁₂₂)のバッファメモリ(7₁₂)と(7₂₂)に保持された出線(2₁₁)～(2₄₄)宛のセルは調停回路(8₁₂)と(8₂₂)により第1の発明の実施例と同様にセル送出の順序の決定を行って高速出線(1₄₁₄)に送出する。第7図はポーリング方式

によるものでトークンを補足した単位スイッチがバッファメモリに保持しているセルを送出する。高速出線(1₄₁₄)上に送出されたセルは分離回路(1₅₁₄)でヘッダ部の宛先情報にもとづいて出線(2₁₁)、(2₂₂)、(2₃₃)、(2₄₄)別に分離され、速度を出線速度に落とされて送出される。

集線の動作速度を4倍にすることにより、単位スイッチの数は第1の発明に比べて1/16の4個で済み、単位スイッチ数を大幅に減少させることができる。

第1および第2の発明の実施例では、単位スイッチと入線、出線または単位スイッチと高速入線、高速出線との接続をバス形式として説明したが、第8図に示すように中継器(16)を介して接続してもよい。

なお、上記第1および第2の発明の実施例では、入線数64、出線数64、8入力8出力の単位スイッチの例を示したが、この値に限定されるものではない。

また、第2の発明の実施例では、高速入線は4本の入線を集線し、高速出線からは4本の出線が分離したが、これに限定されるものでない。

また、上記第1および第2の発明の実施例では一つのセルは一本の出線に出力される場合について説明したが、出線に空容量があれば複数の出線に出力してもよく、同報機能の付加も可能である。

また、構造上ヘッダ部とデータ部を分離してそれぞれ異なる速度の回路を用いて伝送し、ヘッダ部とデータ部を並列して配置された複数の信号線にそれぞれ割り当てられるようにしてもよい。

さらに、上記第1および第2の発明の実施例とも、入線のリンク速度を同一としたが、バッファメモリからの読み出し速度を、入線のリンク速度より速くすればトラヒック集束が可能であり、逆に入線のリンク速度を出線の速度より速くすることも可能である。

また、上記第1および第2の発明の実施例とも、セル交換装置の出線に対応してそれぞれ一つの優先度を設けたが、それぞれの出線に複数の優先度

を割り当て、セルのヘッダ部に宛先出線情報以外に付加された優先度を示す符号に基づいて優先度の高いセルを先にバッファメモリから読み出すことも可能である。

さらに、動作速度の制約が要する場合等には、このセル交換装置の前段および後段に、直列/並列変換回路、並列/直列変換回路をつけて、並列信号として処理してもよい。

〔発明の効果〕

以上説明したように、第1の請求項のセル交換装置によれば、入線と出線に空容量があれば必ず呼を設定できる上、呼を設定した後でも呼の容量変化に対応できる。さらに、呼の容量変化を把握する必要がなく、制御が簡単になるという効果がある。

また、第2の請求項のセル交換装置によれば、入線のセルを多重化する集線回路と多重化されたセルを分離し出線速度に落とす分離回路を設けたので、上記効果に加えて、単位スイッチの数を大幅に減少させることができ、大規模セル交換装置

特開平4-94240(6)

なお、図中同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

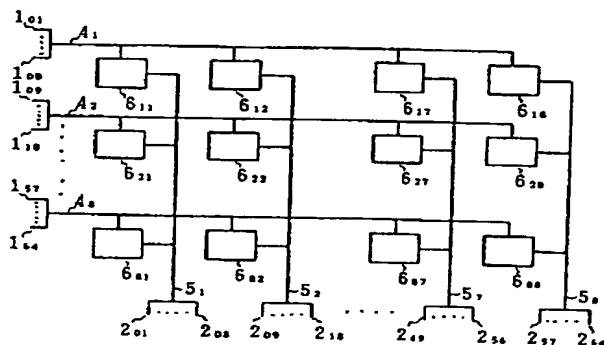
にも対応できるという効果がある。

4. 図面の簡単な説明

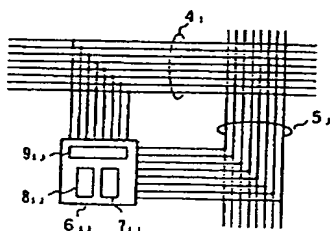
第1図は第1の発明の構成を示すブロック図、第2図は単位スイッチの詳細接続を示す図、第3図は第1の発明のセル送出の優先順位決定の動作を説明する図、第4図は他の実施例を示す図、第5図は第2の発明の構成を示す図、第6図は集線回路と分離回路を示す図、第7図は第2の発明のセル送出の優先順位決定の動作を説明する図、第8図は他の実施例を示す図、第9図は従来のセル交換装置を示す図、第10図はチャネルグラフである。

(101)～(164)…入線、(201)～(264)…出線、(41)～(416)…入線グループ、(51)～(516)…出線グループ、(6)、(11)…単位スイッチ、(7)…バッファメモリ、(8)…調停回路、(9)…宛先情報識別回路、(10)…信号線、(12)…集線回路、(13)…高速入線グループ、(14)…高速出線グループ、(15)…分離回路。

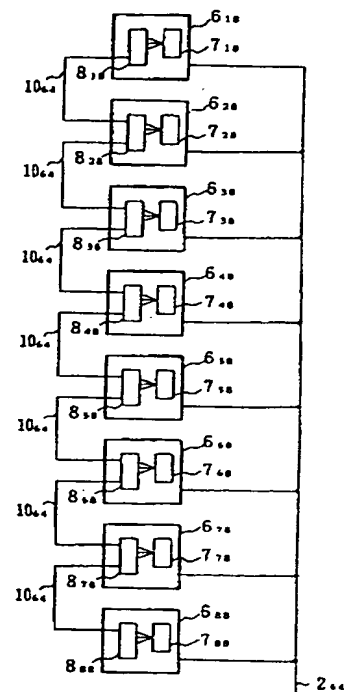
第 1 図



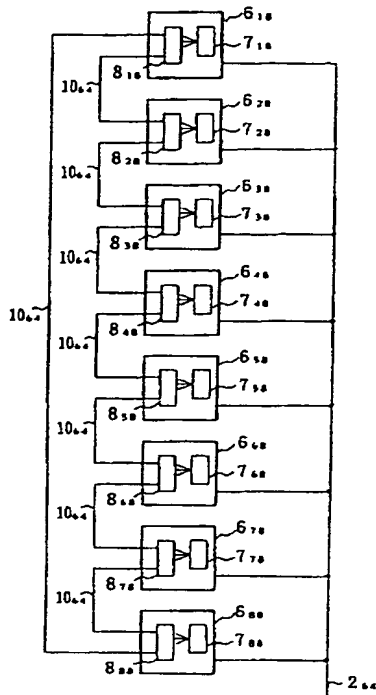
第 2 図



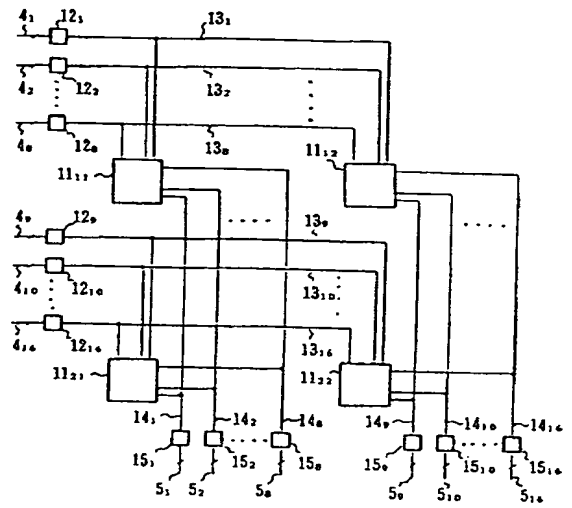
第 3 図



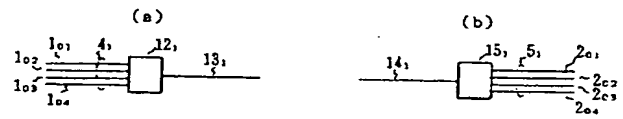
第 4 図



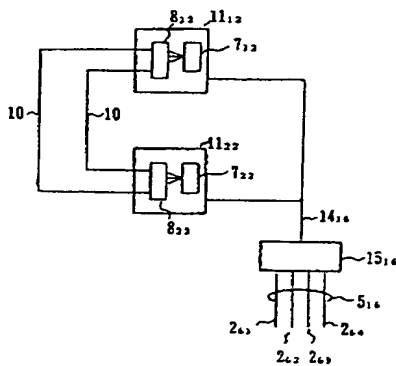
第 5 図



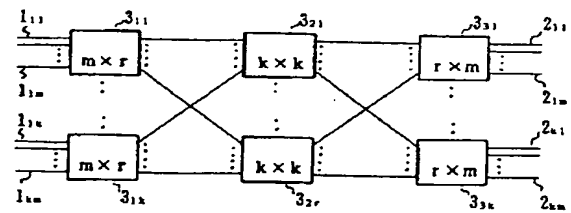
第 6 図



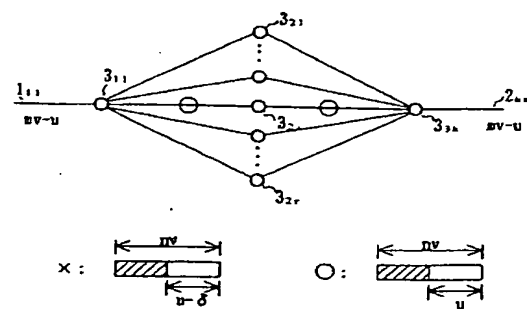
第 7 図



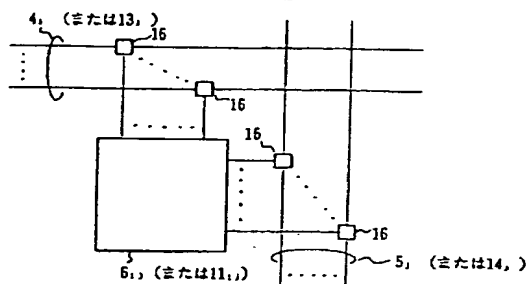
第 9 図



第 10 図



第 8 図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成6年(1994)2月10日

【公開番号】特開平4-94240

【公開日】平成4年(1992)3月26日

【年通号数】公開特許公報4-943

【出願番号】特願平2-211363

【国際特許分類第5版】

H04L 12/48

【FI】

H04L 11/20

Z 8529-5K

手 続 補 正 書 (自 発)

平成 5 年 5 月 19 日

特 許 庁 長 官 殿

1. 事件の表示

特願平02-211363号

2. 発明の名称

セル交換装置

3. 補正をする者

事件との関係 特許出願人

名 称 (601) 三菱電機株式会社

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号

三菱電機株式会社内

氏 名 (8217) 弁護士 高 田 守

(連絡先 03(3213)3421 知的財産権本部)

5. 補正の対象

(1) 明細書の図面の簡単な説明の欄。

(2) 図 面。

6. 補正の内容

(1) 明細書第19頁第13行に「(101) ~ (164)」とあるのを「(1.01) ~ (1.64)」と補正する。

(2) 明細書第19頁第13行から14行に「(201) ~ (264)」とあるのを「(2.01) ~ (2.64)」と補正する。

(3) 明細書第19頁第14行に「(41) ~ (416)」とあるのを「(4.) ~ (4.6)」と補正する。

(4) 明細書第19頁第15行に「(51) ~ (516)」とあるのを「(5.) ~ (5.6)」と補正する。

(5) 図面中第9図を別紙の如く補正する。

(6) 図面中第10図を別紙の如く補正する。

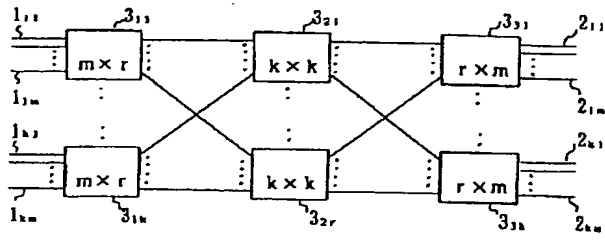
7. 添付書類の目録

(1) 補正後の第9図、第10図を記載した書面

1. 通

以 上

第 9 圖



第 10 圖

